

19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

17 Übersetzung der
europäischen Patentschrift

51 Int. Cl. 6:
G 06 F 11/10

87 EP 0 348 240 B1

10 **DE 689 26 410 T 2**

21	Deutsches Aktenzeichen:	689 26 410.0
86	Europäisches Aktenzeichen:	89 306 424.6
86	Europäischer Anmeldetag:	23. 6. 89
87	Erstveröffentlichung durch das EPA:	27. 12. 89
87	Veröffentlichungstag der Patenterteilung beim EPA:	8. 5. 96
47	Veröffentlichungstag im Patentblatt:	12. 9. 96

DE 689 26 410 T 2

30 Unionspriorität: 32 33 31
24.06.88 JP 157328/88

73 Patentinhaber:
NEC Corp., Tokio/Tokyo, JP

74 Vertreter:
Glawe, Delfs, Moll & Partner, Patentanwälte, 20148
Hamburg

84 Benannte Vertragsstaaten:
DE, FR, GB

72 Erfinder:
Sato, Yoshikuni c/o NEC Corporation, Minato-ku
Tokyo, JP

54 Mit einer Paritätsteuerungseinheit auf demselben Chip bestückter Mikroprozessor

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patentamt inhaltlich nicht geprüft.

DE 689 26 410 T 2

EP 89 306 424.6
NEC Corporation
Hü (#164)

Hintergrund der Erfindung

Gebiet der Erfindung:

Die vorliegende Erfindung betrifft einen Mikroprozessor und insbesondere einen Mikroprozessor zum Strukturieren eines Datenverarbeitungssystems mit hoher Verlässlichkeit.

Beschreibung des Standes der Technik:

Als eine der Techniken zum Strukturieren eines Datenverarbeitungssystems mit hoher Verlässlichkeit ist es im Stand der Technik bekannt, Daten redundante Information hinzuzufügen. In einem ein Paritätsbit als redundante Information verwendenden System werden aus einem Speicher ausgelesene Daten aufgrund dieser Daten und der zu denselben hinzugefügten Paritätsbitinformation überprüft, ob sie gültig sind oder nicht, wobei durch den Mikroprozessor verarbeitete Daten zusammen mit der Paritätsbitinformation, die aus den zu schreibenden Daten erzeugt wurde, in den Speicher eingeschrieben werden.

Bezugnehmend auf Fig. 1 ist ein solches Datenverarbeitungssystem gemäß dem Stand der Technik gezeigt. Ein Mikroprozessor 701 ist durch einen Systemsteuerungsbus 704, einen Systemadressbus 705 und einen Systemdatenbus 706 mit einem Programm-/Datenspeicher 702 zusammengeschaltet, der ein auszuführendes Programm und zu verarbeitende Operandendaten speichert. Das Programm und die Daten, die in dem Speicher 702 gespeichert sind, werden im folgenden als "Daten"

bezeichnet. Weiter sind ein Paritätsbitspeicher 703 und eine Paritätssteuerschaltung 708 vorgesehen. Der Speicher 703 ist mit der Systemsteuerung und Adressbussen 704 und 705 verbunden, und die Steuerschaltung 708 ist mit der Systemsteuerung und Datenbussen 704 und 706 verbunden. Der Speicher 703 und die Steuerschaltung 708 sind durch eine Paritätsbitleitung 707 miteinander verbunden. Die Steuerschaltung 708 führt ein Signal 709 zum Anzeigen, ob Daten gültig/ungültig sind und ein Bereitsignal 710 zu.

In einer Datenleseoperation nimmt der Mikroprozessor 701 auf gewünschte Adressen der Speicher 702 und 703 mittels der Steuer- und Adressbusse 704 und 705 Zugriff. Die aus der Adresse, auf die Zugriff genommen wurde, ausgelesenen Daten werden über den Datenbus 706 zu dem Mikroprozessor 701 und weiter zu der Paritätssteuerschaltung 708 übertragen. Darüberhinaus wird zu den aus dem Speicher 702 ausgelesenen Daten hinzugefügte Paritätsbitinformation aus dem Paritätsbitspeicher 703 ausgelesen und über die Leitung 707 zu der Steuerschaltung 708 übertragen. Die Paritätssteuerschaltung 708 berechnet ein Syndrom der derselben zugeführten Daten und vergleicht das Berechnungsergebnis mit der Paritätsbitinformation. Während der Berechnung verändert die Steuerschaltung 708 das Bereitsignal 710 zu einem inaktiven Pegel, um dem Mikroprozessor 701 darüber zu informieren, daß die Schaltung 708 eine Berechnung durchführt. Wenn die Berechnung vollendet ist, verändert die Steuerschaltung 708 den Pegel des Bereitsignals 710 zu einem aktiven Pegel und informiert den Mikroprozessor 701 durch das Signal 709, ob die aus dem Speicher 702 ausgelesenen Daten gültig sind oder nicht.

Bei einer Datenschreiboperation nimmt der Mikroprozessor 701 mittels des Steuer- und des Adressbusses 704 und 705 Zugriff auf gewünschte Adressen der Speicher 702 und 703 und überträgt zu schreibende Daten auf den Datenbus 706. Diese Daten werden in die Adressen des Speichers 702, auf die Zugriff

genommen wurde, eingeschrieben und werden weiter der Paritätssteuerschaltung 708 zugeführt. Die Schaltung 708 berechnet ein Syndrom der Daten und erzeugt Paritätsbit-information, die durch die Leitung 707 anschließend in die Adresse des Speichers 703, auf die Zugriff genommen wurde, eingeschrieben wird. Während der Syndromberechnung hat die Schaltung 708 dem Mikroprozessor 701 das Bereitsignal 710 mit inaktivem Pegel zugeführt.

Auf diese Weise kann ein System mit hoher Verlässlichkeit strukturiert werden. Wie aus der obigen Beschreibung deutlich wird, wird jedoch die effektive Speicherzugriffszeit durch die Addition einer von dem Speicher 702 benötigten Zugriffszeit und einer von der Paritätssteuerschaltung 708 benötigten Syndromberechnungszeit bestimmt. Aus diesem Grunde kann der Mikroprozessor eine Datenverarbeitungsoperation nicht bei einer hohen Geschwindigkeit durchführen, und dies verringert die Leistung des Systems.

Die Aufmerksamkeit wird auf den folgenden Stand der Technik gerichtet.

In "Patent Abstracts of Japan", Band 006, Nr. 002 wird die Schaffung einer Einheit offenbart, die eine Fehlerverarbeitungsoperation, zum Beispiel eine Paritätsfehleroperation, auf einem Speicher unabhängig und getrennt von einer Ausführungseinheit durchführt.

In US-A-4.528.666 wird der Einbau einer Paritäts-/Überprüfungs-Erzeugungseinheit in ein Speichersystem offenbart.

In US-A-4.648.034 wird ein Protokoll zum Synchronisieren des Betriebs einer CPU (central processing unit - zentrale Recheneinheit) mit der eines Co-Prozessors offenbart.

In US-A-4.205.301 wird ein Verfahren zum Feststellen einer Funktionstörung einer Halbleitervorrichtung offenbart.

In "Patent Abstracts of Japan", Band 010, Nr. 241 werden Mittel zum Verarbeiten eines Ausgangssignals aus einer Paritätsüberprüfschaltung offenbart, wobei die Paritätsüberprüfung während des Auslesens aus dem Speicher unterbunden wird.

Zusammenfassung der Erfindung

Eine Aufgabe der vorliegenden Erfindung besteht in der Schaffung eines Mikroprozessors mit einer verkürzten effektiven Speicherzugriffszeit.

Eine weitere Aufgabe einiger Ausführungsformen der vorliegenden Erfindung besteht in der Schaffung eines Mikroprozessors, in dem eine Steuereinheit für redundante Information als eine auf einem Chip gebildete Einheit zusammen mit einer Steuerschaltung zum Steuern der Aktivierung/Inaktivierung der Steuereinheit für redundante Information hergestellt wird.

Ein Mikroprozessor gemäß einem Aspekt der vorliegenden Erfindung weist auf einem einzigen Halbleiterchip eine Ausführungseinheit zum Ausführen einer Anweisung und einen Satz von Datenanschlüssen, die mit Daten versorgt werden, auf und ist dadurch gekennzeichnet, daß die Ausführungseinheit Mittel zum Erzeugen eines ersten Zeittaktsignals und danach eines zweiten Zeittaktsignals einschließt, und daß der Mikroprozessor darüberhinaus auf dem einzigen Halbleiterchip erste Mittel, die auf das erste Zeittaktsignal reagieren, um die Daten, die dem Satz von Datenanschlüssen zugeführt sind, abzurufen, zweite Mittel, die auf das zweite Zeittaktsignal zum Übertragen der in die ersten Mittel abgerufenen Daten zu der Ausführungseinheit reagieren, Mittel zum Überprüfen der Gültigkeit der in die ersten Mittel abgerufenen Daten und zum Erzeugen, bevor das zweite Zeittaktsignal erzeugt ist, eines resultierenden Signals, das

darstellt, ob die in die ersten Mittel abgerufenen Daten gültig sind oder nicht, und Mittel zum Zuführen des resultierenden Signals zu der Ausführungseinheit, wobei die Überprüfmittel einen Anschluß für redundante Information einschließen, dem redundante Information zugeführt wird, die die dem Satz von Datenanschlüssen zugeführten Daten begleiten, Speichermittel, die auf das erste Zeittaktsignal reagieren, um zeitweilig die redundante Information zu speichern, und Mittel aufweist, die auf die in die ersten Mittel abgerufenen Daten und die redundante Information, die in den Speichermitteln gespeichert ist, reagieren, um das resultierende Signal zu erzeugen.

Es kann sich ein Zeittakterzeuger auf dem Chip befinden, wobei die Ausführungseinheit Mittel zum Erzeugen des ersten Zeittaktsignals (RDL) und danach des zweiten Zeittaktsignals (RDO) von aufeinanderfolgenden Zeittaktsignalzyklen einschließt.

Die Zuführmittel können ein Steuersignal empfangen und das resultierende Signal der Ausführungseinheit zuführen, wenn das Steuersignal einen aktiven Pegel annimmt, und ein gültiges Signal, das darstellt, daß die in die ersten Mittel abgerufenen Daten gültig sind, der Ausführungseinheit unabhängig vom resultierenden Signal zuführen, wenn das Steuersignal einen inaktiven Pegel annimmt.

Die Steuereinheit für redundante Information kann die Gültigkeit der in den Mikroprozessor abgerufenen Daten überprüfen, bevor die Daten auf dem internen Datenbus erscheinen, so daß die Datenüberprüfungszeit der Steuereinheit eine effektive Speicherzugriffszeit nicht beeinflusst.

In einer Ausführungsform dieses Mikroprozessors für ein keine redundante Information verwendendes System ist es ausreichend, das redundante Freigabesignal mit dem inaktiven

Pegel zuzuführen, so daß keine externe Steuerschaltung für den Anschluß für redundante Information erforderlich ist.

Kurze Beschreibung der Erfindung

Die obigen und andere Aufgaben, Vorteile und Merkmale der vorliegenden Erfindung werden aus der folgenden Beschreibung in Verbindung mit den begleitenden Zeichnungen deutlicher werden, in denen:

- Fig. 1 ein Blockschaltbild ist, das ein Datenverarbeitungssystem gemäß dem Stand der Technik darstellt;
- Fig. 2 ein Blockschaltbild ist, das ein einen Mikroprozessor gemäß einer erfindungsgemäßen Ausführungsform verwendendes Datenverarbeitungssystem darstellt;
- Fig. 3 ein detailliertes Blockschaltbild ist, das einen Datenbuspuffer, eine Paritätssteuereinheit und eine Paritätsfreigabesteuerschaltung des in Fig. 1 gezeigten Mikroprozessors darstellt;
- Fig. 4 ein Zeitdiagramm ist, das eine Datenleseoperation des in Fig. 1 gezeigten Mikroprozessors darstellt;
- Fig. 5 ein Zeitdiagramm ist, das eine Datenschreiboperation des in Fig. 1 gezeigten Mikroprozessors darstellt;
- Fig. 6 ein Blockschaltbild ist, das eine weitere erfindungsgemäße Ausführungsform darstellt; und
- Fig. 7 ein Zeitdiagramm ist, das eine Adressenausgabe des in Fig. 6 gezeigten Mikroprozessors darstellt.

Ausführliche Beschreibung der bevorzugten Ausführungsformen

Bezugnehmend auf Fig. 2 wird ein Mikroprozessor 1 gemäß einer erfindungsgemäßen Ausführungsform als eine monolithisch integrierte Halbleiterschaltkreiseinrichtung hergestellt und ist durch einen Systemsteuerungsbus 4, einen Systemadressbus 5 und einen Systemdatenbus 6 mit einem Programm-/Datenspeicher 2 zusammengeschaltet, der ein auszuführendes Programm und zu verarbeitende Operandendaten speichert, die im folgenden einfach als "Daten" bezeichnet werden. Der Mikroprozessor 1 ist weiter durch den Systemsteuerungs- und den Adressbus 4 und 5 und eine Paritätsbitleitung 7 mit einem Paritätsbitspeicher 3, der Paritätsbitinformation als redundante Information speichert, zusammengeschaltet. Die Paritätsbitleitung 7 ist mit einem Paritätsanschluß 51 des Prozessors 1 verbunden. Der Mikroprozessor 1 schließt eine Anweisungsausführungseinheit 10 zum Ausführen von Anweisungen für das Programm und zum Durchführen von Lese-/Schreiboperationen von Operandendaten ein. Die Einheit 10 gibt einen Satz von Steuersignalen über einen internen Steuerbus 70 und einen Steuerbuspuffer 20 auf den Systemsteuerungsbus 4 und einen Satz von Adresssignalen über einen internen Adressbus 80 und einen Adressbuspuffer 30 auf den Systemadressbus 5 aus. Ein Datenbuspuffer 40 und ein interner Datenbus 90 sind von einem in zwei Richtungen gerichteten Typ und schalten die Ausführungseinheit 10 und den Systemdatenbus 6 zusammen. Dem Datenbuspuffer 40 werden über den internen Steuerbus 70 und/oder direkt von der Ausführungseinheit Steuersignale R/W, RDL, RDO, WDL1 und WDL2 für eine Daten-Lese/Schreiboperation zugeführt. Das Signal R/W ist ein Daten-Lese/Schreibsignal zum Kennzeichnen einer Daten-Leseoperation oder einer Daten-Schreiboperation. Das Signal RDL ist ein Lese-Datenhaltesignal, das als ein erstes Zeittaktsignal zum Abrufen von Lese-Daten auf den Systembus 6 in den Mikroprozessor 1 verwendet wird, und das Signal RDO

Nur
= 1 Bit,
kein
Wort

ist ein Lese-Datenausgangssignal, das als ein zweites Zeittaktsignal zum Übertragen der abgerufenen Lesedaten auf den internen Datenbus 90 verwendet wird. Das Signal WDL1 ist ein erstes Schreib-Datenhaltesignal, das zum Abrufen von Schreib-Daten auf dem internen Datenbus 90 in den Datenbuspuffer 40 verwendet wird, und das Signal WDL2 ist ein zweites Schreib-Datenhaltesignal, das zum Übertragen der abgerufenen Schreib-Daten auf den Systemdatenbus 6 verwendet wird. Die in den Puffer 40 durch das Zeittaktsignal RDL abgerufenen Daten werden über einen Satz von Lese-Datenleitungen 41 zu einer auf einem Chip gebildeten Paritätssteuereinheit 50 übertragen. Diese Einheit 50 berechnet ein Syndrom der abgerufenen Lese-Daten und erzeugt in Reaktion auf eine von dem Anschluß 51 zugeführte Paritätsbitinformation ein Signal 52 zum Anzeigen der Datengültigkeit, wobei das Signal 52 anschließend einer Paritätsfreigabesteuerschaltung 60 zugeführt wird. Der Einheit 50 werden weiter die Steuersignale R/W, RDL und WDL2 zugeführt. Der Steuerschaltung 60 wird weiter ein Paritätsfreigabesignal REC von einem Anschluß 61 zugeführt. Wenn eine redundante Steuerfunktion verwendet wird, wird das Signal REC auf die logische "0" als einen aktiven Pegel festgelegt. Andererseits wird in einem Fall, in dem die redundante Steuerfunktion nicht verwendet wird, das Signal REC auf die logische "1" als einen inaktiven Pegel festgelegt. Ein von der Freigabesteuerschaltung 60 abgeleitetes Signal 62 wird der Ausführungseinheit 10 zugeführt. Die durch das Steuersignal WDL1 in den Puffer 40 abgerufenen Schreib-Daten werden über einen Satz von Schreib-Datenleitungen 42 zu der Steuereinheit 50 übertragen. Die Einheit 50 berechnet ein Syndrom der Schreib-Daten, um Paritätsbitinformation zu erzeugen, die anschließend über den Anschluß 51 auf die Leitung 7 übertragen wird.

Bezugnehmend auf Fig. 3 schließt der Datenbuspuffer 40 N Puffereinheiten 40-1 bis 40-N zum Realisieren der Schnittstelle zwischen dem aus N Busleitungen 6-1 bis 6-N bestehen-

den Systemdatenbus 5 und dem aus N Busleitungen 90-1 bis 90-N bestehenden internen Datenbus 90 ein. Da jede der Puffereinheiten 40-1 bis 40-N den gleichen Aufbau wie die anderen aufweist, ist nur die erste Einheit 40-1 in Fig. 2 gezeigt. Eine Verriegelungsschaltung 413 hält Schreib-Daten auf der internen Busleitung 90-1 in Reaktion auf das Signal WDL1, und eine Verriegelungsschaltung 412 hält das Ausgangssignal von der Verriegelungsschaltung 413 in Reaktion auf das Signal WDL2. Eine Ausgangspufferschaltung 411 wird durch das Signal R/W gesteuert und überträgt das Ausgangssignal der Verriegelungsschaltung 412 auf die Systemdatenbusleitung 6-1 in dem Daten-Schreibbetriebsmodus. Das Ausgangssignal der Schaltung 411 wird in einen Hoch-Impedanzzustand in dem Daten-Lesebetriebsmodus gebracht. Eine Eingangspufferschaltung 414 wird unter der Steuerung des Signals R/W in dem Daten-Lesemodus aktiviert und in dem Daten-Schreibmodus inaktiviert. Eine Verriegelungsschaltung 415 hält in Reaktion auf das Signal RDL das Ausgangssignal der Eingangspufferschaltung 411, d. h. Lese-Daten, auf der Systemdatenbusleitung 6-1. Eine Ausgangspufferschaltung 416 überträgt in Reaktion auf das Signal RDO das Ausgangssignal der Verriegelungsschaltung 415 auf die interne Datenbusleitung 90-1. Das Ausgangssignal der Verriegelungsschaltung 415 wird als Lese-Daten RD1 von einem Bit abgeleitet, und das Ausgangssignal der Verriegelungsschaltung 413 wird als Schreib-Daten WD1 von einem Bit abgeleitet. Die Lese-Daten von N Bit RD1 bis RDN und die Schreib-Daten von N Bit WD1 bis WDN werden über die Datenleitungen 41 bzw. 42 einem Multiplexer 501 in der Paritätssteuereinheit 50 zugeführt. Der Multiplexer 501 wird durch das Signal R/W gesteuert und wählt die Lese-Daten RD1 bis RDN in dem Daten-Lesemodus und die Schreib-Daten WD1 bis WDN in dem Daten-Schreibmodus aus. Die ausgewählten Daten aus dem Multiplexer 501 werden einem Syndromrechner 503 zugeführt, um ein Syndrom derselben zu berechnen. Da der Aufbau und die Arbeitsweise des Rechners 502 im Stand der Technik gut bekannt sind und die vorliegende Erfindung den Rechner 502 nicht direkt betrifft, wurde

eine ausführliche Beschreibung desselben ausgelassen, um eine Komplexität der Zeichnung zu vermeiden. Das resultierende Berechnungssignal 53 des Rechners 52 wird einem Eingang eines Exklusiv-NOR-Gatters (EX-NOR-Gatter) 503 zugeführt und wird in Reaktion auf das Signal WDL2 in einer Verriegelungsschaltung 504 gehalten. Das Ausgangssignal aus der Verriegelungsschaltung 504 wird auf die Leitung 7 im Daten-Schreibmodus durch eine Ausgangspufferschaltung 505 übertragen, die durch das Signal R/W gesteuert wird. Eine Eingangspufferschaltung 506 wird durch das R/W Signal im Daten-Lesemodus aktiviert, um die Paritätsbitinformation zu einer Verriegelungsschaltung 507 zu übertragen. Diese Schaltung 507 hält die Paritätsbitinformation in Reaktion auf das Signal RDL und führt dieselbe dem anderen Eingang des EX-NOR-Gatters 503 zu. Das Ausgangssignal des EX-NOR-Gatters 503 wird als das Signal 52 zum Anzeigen der Datengültigkeit abgeleitet, das darstellt, ob die Lese-Daten gültig sind oder nicht. Die Paritätsfreigabesteuerschaltung 60 besteht aus einem ODER-Gatter 601. Wie bereits erwähnt, ist das Freigabesignal REC auf die logische "0" festgelegt, wenn die redundante Steuerfunktion verwendet wird, und deshalb überträgt das ODER-Gatter 601 das Signal 52 zum Anzeigen der Datengültigkeit zu der Ausführungseinheit 10 als das Signal 62. Wenn keine redundante Steuerfunktion verwendet wird, ist das Freigabesignal REC auf logischer "1" gehalten, so daß das Ausgangssignal 62 des ODER-Gatters 601 ungeachtet des Signals 52 auf logischer "1" gehalten wird. Dementsprechend betrachtet die Ausführungseinheit 10 alle Lese-Daten als gültig. Es ist daher keine Steuerschaltung zum Steuern des Paritätsbitanschlusses 51 erforderlich.

Die Daten-Leseoperation und Daten-Schreiboperation des Prozessors 1 wird im folgenden unter Bezugnahme auf die Figuren 2 und 3 und weiter auf die Fig. 4 und 5, die jeweils die Daten-Lese- und Datenschreibzeitdiagramme darstellen, beschrieben. In dem vorliegenden Mikroprozessor 1 besteht jeder Buszyklus für die Daten-Lese-/Schreiboperation grund-

legend aus zwei Zeittakten (T1- und T2-Zustand) eines Systemzeittaktsignals ϕ . Basierend auf diesem Zeittaktsignal ϕ werden zwei Zeittaktsignale ϕ_1 und ϕ_2 , die sich hinsichtlich ihrer Phase voneinander unterscheiden, erzeugt, um die oben genannten Zeittaktsignale RDL, RDO, WDL1 und WDL2 zu erzeugen.

Bei der Daten-Leseoperation (Fig. 4) gibt der Mikroprozessor 1 einen Satz von Adresssignalen auf den Systemadressbus 5 und einen Satz von Daten-Lesesteuersignalen auf den Systemsteuerungsbus 4 aus, um auf gewünschte Adressen der Speicher 2 und 3 am Anfang des Daten-Lesebuszyklus Zugriff zu nehmen. Die aus der Adresse des Speichers, auf die Zugriff genommen wurde, ausgelesenen Daten werden zu dem Systemdatenbus 6 übertragen, und die aus der Adresse des Speichers 3, auf die Zugriff genommen wurde, ausgelesene Paritätsbitinformation wird zu der Leitung 7 übertragen. Die Ausführungseinheit 10 erzeugt das Lese-Datenhaltesignal RDL synchron mit dem im T2-Zustand auftretenden Zeittakt ϕ_2 , so daß die Lese-Daten auf dem Systemdatenbus 6 in der Verriegelungsschaltung 415 abgerufen werden und zu dem Syndromrechner 502 übertragen werden. Die Paritätsbitinformation auf der Leitung 7 wird in die Verriegelungsschaltung 507 abgerufen. Durch das Abfallen des Signals RDL auf die logische "0" schließt die Verriegelungsschaltung 415 das Eingangsgatter derselben, um die Lese-Daten in derselben zu halten. Synchron mit dem Zeittakt ϕ_2 , der nach dem T2-Zustand im T1-Zustand auftritt, erzeugt die Ausführungseinheit 10 das Lese-Datenausgangssignal RDO, so daß der Datenausgangspuffer 416 die Lese-Daten von der Verriegelungsschaltung 415 auf den internen Datenbus 90 überträgt. Andererseits empfängt der Syndromrechner 502 die Lese-Daten zum Zeitpunkt der Erzeugung des Signals RDL und berechnet das Syndrom derselben. Das errechnete Ergebnis wird durch das EX-ODER-Gatter 503 mit der Paritätsbitinformation von der Verriegelungsschaltung 507 verglichen, und das Vergleichsergebnis 52 wird der Ausführungseinheit 10 über das ODER-Gatter 601 zugeführt. Es gibt eine Zeitspanne,

die einem Takt des Taktsignals ϕ von einem Zeitpunkt, zu dem der Datenbuspuffer 40 die Lese-Daten auf dem Systemdatenbus 6 abrufen, zu einem Zeitpunkt entspricht, zu dem der Datenbuspuffer 40 die abgerufenen Lese-Daten auf den internen Datenbus 90 überträgt. Während dieser Zeitspanne kann die Paritätssteuereinheit 50 die Gültigkeit der Lese-Daten überprüfen. Dementsprechend erscheint die von der Einheit 50 benötigte Überprüfungszeit nicht in dem Lese-Datenbuszyklus. Wenn das Signal 52 aus der Einheit die Ungültigkeit der Lese-Daten anzeigt, startet die Ausführungseinheit 10 erneut den Lese-Datenbuszyklus oder stellt die Datenverarbeitungsoperation ein.

In der Daten-Schreiboperation (Fig. 5) überträgt die Ausführungseinheit 10 zu schreibende Daten, d. h. Schreib-Daten, auf den internen Datenbus 90 synchron mit dem Zeittakt $\phi 2$, der im T2-Zustand auftritt, direkt bevor der Daten-Schreibbuszyklus ausgeführt wird, und erzeugt weiter das Datenhaltungssignal WDL1. In Reaktion auf das Signal WDL1 ruft die Verriegelungsschaltung 413 die Schreib-Daten auf dem internen Datenbus 90 ab und führt dieselben dem Syndromrechner 502 zu. Der Rechner 502 beginnt das Syndrom derselben zu berechnen. Zu Beginn des Daten-Schreibbuszyklus wird ein Satz von Schreib-Adressdaten auf den Systemadressbus 5 übertragen. Die Ausführungseinheit 10 erzeugt das Signal WDL2 synchron mit dem Zeittakt $\phi 2$, der im T1-Zustand auftritt. In Reaktion auf das Signal WDL2 ruft die Verriegelungsschaltung 412 die Schreib-Daten von der Verriegelungsschaltung 413 ab und überträgt dieselben über die Ausgangspufferschaltung 411 auf den Systemdatenbus 5. Da eine Zeitspanne von der Erzeugung des Signals WDL1 zu der des Signals WDL2 einer Taktzeit des Taktsignals ϕ entspricht, beendet der Rechner 502 die Berechnung des Syndroms der Schreib-Daten während dieser Zeitspanne. Das berechnete Ergebnis 53 wird in der Verriegelungsschaltung 504 in Reaktion auf das Signal WDL2 abgerufen und über die Ausgangspufferschaltung 505 und den Anschluß 51 auf die Paritätsbitleitung 7 übertragen. Die Schreib-Daten

auf dem Systemdatenbus 6 und die Paritätsbitinformation auf der Leitung 7 werden in die Adressen der Speicher 2 bzw. 3, auf die Zugriff genommen wurde, eingeschrieben. Daher erscheint die Syndromberechnungszeit auch nicht in dem Daten-Schreibbuszyklus.

Wie oben beschrieben, weist der Mikroprozessor 1 die auf einem Chip gebildete Paritätssteuereinheit 50 auf, ohne weder den Daten-Lese- noch den Daten-Schreibbuszyklus zu verlängern. Darüberhinaus kann der Mikroprozessor 1 leicht in einem System eingesetzt werden, das keine Paritätsbitsteuerfunktion verwendet.

Um die Verlässlichkeit eines Systems weiter zu verbessern, kann mit der Paritätsbitinformation eine Adresse zum Zugreifen auf einen externen Speicher oder eine Außeneinheit hinzugefügt werden. Ein in einem solchen System einsetzbarer Mikroprozessor ist in Fig. 6 als eine weitere erfindungsgemäße Ausführungsform gezeigt.

Der vorliegende Mikroprozessor 1 schließt weiter eine Adressparitätssteuereinheit 110 zum Hinzufügen von Paritätsbitinformation zu einer auf den Systemadressbus 5 zu übertragenden Adresse ein. Diese Einheit 110 schließt einen Rechner 112 zum Berechnen des Syndroms der Adresse zum Erzeugen von Adressparitätsbitinformation 115, eine Verriegelungsschaltung 113 zum Abrufen der Information 115 in Reaktion auf ein zweites Adresshaltezeittaktsignal AL2 und eine Ausgangspufferschaltung 114 zum Übertragen des Ausgangssignals der Verriegelungsschaltung 113 auf eine Adressparitätsbitleitung 120 über einen Adressparitätsbitanschluß 111 ein. Der Puffer 114 wird durch ein Signal HQ, das erzeugt wird, wenn der Mikroprozessor 1 sich in einem Halte- oder Stillstandzustand befindet, in einen Hochimpedanzzustand gebracht. Der Adressdatenpuffer 30 schließt Puffereinheiten 30-1 bis 30-M ein, die jeweils zwischen jede der internen Adressbitleitungen 80-1 bis 80-M und jede der

Systemadressbitleitungen 5-1 bis 5-M gekoppelt sind. Jede der Einheiten 30-1 bis 30-M schließt eine Verriegelungsschaltung 301 zum Abrufen einer internen Adresse in Reaktion auf ein erstes Adresshaltezeittaktsignal AL1, eine Verriegelungsschaltung 302 zum Abrufen des Ausgangssignals der Verriegelungsschaltung 301 in Reaktion auf das Signal AL2 und eine durch das Signal HQ gesteuerte Ausgangspufferschaltung 303 ein.

Wie in einem Adressenausgangszeitdiagramm in Fig. 7 gezeigt ist, überträgt die Ausführungseinheit 10 eine Adresse auf den internen Adressbus 80 und erzeugt das Signal AL1 synchron mit dem Zeittakt $\phi 1$, der direkt vor dem auszuführenden Buszyklus im T2-Zustand vorliegt. In Reaktion auf das Signal AL1 ruft die Verriegelungsschaltung 301 die Adresse auf dem Bus 80 ab und überträgt dieselbe zu dem Syndromrechner 112. Die Ausführungseinheit 10 erzeugt danach das Signal AL2 synchron mit dem im T1-Zustand auftretenden Zeittakt $\phi 1$. Als ein Ergebnis wird die Adresse in der Verriegelungsschaltung 302 abgerufen und über den Ausgangspuffer 303 auf den Systemadressbus 5 übertragen. Da eine Zeitspanne von der Erzeugungszeit des Signals AL1 zu der des Signals AL2 einer Taktzeitspanne des Taktsignals ϕ entspricht, beendet der Rechner 112 die Berechnung des Adresssyndroms während dieser Zeitspanne. Die Adressparitätsbitinformation 115 wird daher in der Verriegelungsschaltung 113 in Reaktion auf das Signal AL2 abgerufen und über den Puffer 114 und den Anschluß 111 auf die Leitung 112 übertragen.

Der in Fig. 6 gezeigte Mikroprozessor 1 unterscheidet sich weiter darin von dem in Fig. 2 gezeigten, daß ein Paritätsfreigabesteuerkennzeichen 11 in der Ausführungseinheit 10 vorgesehen ist und das Einstell-/Rückstellsignal derselben an Stelle des extern zugeführten, in Fig. 2 gezeigten Signals als das Paritätsfreigabesteuersignal REC verwendet wird. Der Einstellzustand des Kennzeichens 11 inaktiviert die Datenparitätssteuerfunktion, während der Rückstellzu-

stand desselben diese Funktion aktiviert. Das Paritätsfreigabesteuersignal REC kann dem Mikroprozessor 1 von der Außenseite desselben, ähnlich Fig. 1, zugeführt werden. Umgekehrt kann das Paritätsfreigabesteuerkennzeichen 11 in dem in Fig. 1 gezeigten Mikroprozessor vorgesehen werden.

In den oben beschriebenen Ausführungsformen wird das Paritätsbit als die redundante Information verwendet, es können jedoch andere Typen redundanter Information verwendet werden. Darüberhinaus können zwei oder mehr Steuereinheiten nicht gleicher Typen redundante Information in einem Mikroprozessor vorgesehen werden, und eine von denselben kann wahlweise in Übereinstimmung mit einem zu strukturierenden System aktiviert werden.

Die vorliegende Erfindung ist nicht auf die obigen Ausführungsformen begrenzt, sondern kann modifiziert und verändert werden, ohne vom Umfang der Erfindung, wie durch die Patentansprüche definiert, abzuweichen.

EP 89 306 424.6
N/KÖ (#157)

Patentansprüche

1. Mikroprozessor, der auf einem einzigen Halbleiterchip eine Ausführungseinheit (10) zum Ausführen einer Anweisung und einen Satz von Datenanschlüssen (6), die mit Daten versorgt werden, aufweist, und dadurch gekennzeichnet ist, daß die Ausführungseinheit Mittel zum Erzeugen eines ersten Zeittaktsignals (RDL) und danach eines zweiten Zeittaktsignals (RDO) einschließt, und daß der Mikroprozessor darüber hinaus auf dem einzigen Halbleiterchip erste Mittel (415), die auf das erste Zeittaktsignal reagieren, um die Daten, die dem Satz von Datenanschlüssen zugeführt sind, abzurufen, zweite Mittel (416), die auf das zweite Zeittaktsignal zum Übertragen der in die ersten Mittel abgerufenen Daten zu der Ausführungseinheit reagieren, Mittel (50,51) zum Überprüfen der Gültigkeit der in die ersten Mittel abgerufenen Daten und zum Erzeugen, bevor das zweite Zeittaktsignal erzeugt ist, eines resultierenden Signals (52), das darstellt, ob die in die ersten Mittel abgerufenen Daten gültig sind oder nicht, und Mittel (60) zum Zuführen des resultierenden Signals zu der Ausführungseinheit, wobei die Überprüfmittel einen Anschluß (51) für redundante Information einschließen, dem redundante Information zugeführt wird, die die dem Satz von Datenanschluß zugeführten Daten begleiten, Speichermittel (507), die auf das erste Zeittaktsignal reagieren, um zeitweilig die redundante Information zu speichern, und Mittel (502,503) aufweist, die auf die in die ersten

Mittel abgerufenen Daten und die redundante Information, die in den Speichermitteln gespeichert ist, reagieren, um das resultierende Signal zu erzeugen.

2. Mikroprozessor nach Anspruch 1, der einen Zeittaktsignalgenerator auf dem Chip aufweist, wobei die Ausführungseinheit Mittel zum Erzeugen des ersten Zeittaktsignals (RDL) und danach des zweiten Zeittaktsignals (RDO) von aufeinanderfolgenden Zeittaktsignalzyklen einschließt.
3. Mikroprozessor nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Zuführungsmittel ein Steuersignal (REC) empfangen und das resultierende Signal der Ausführungseinheit zuführen, wenn das Steuersignal einen aktiven Pegel annimmt, und ein gültiges Signal, das darstellt, daß die in die ersten Mittel abgerufenen Daten gültig sind, der Ausführungseinheit unabhängig vom resultierenden Signal zuführen, wenn das Steuersignal einen inaktiven Pegel einnimmt.

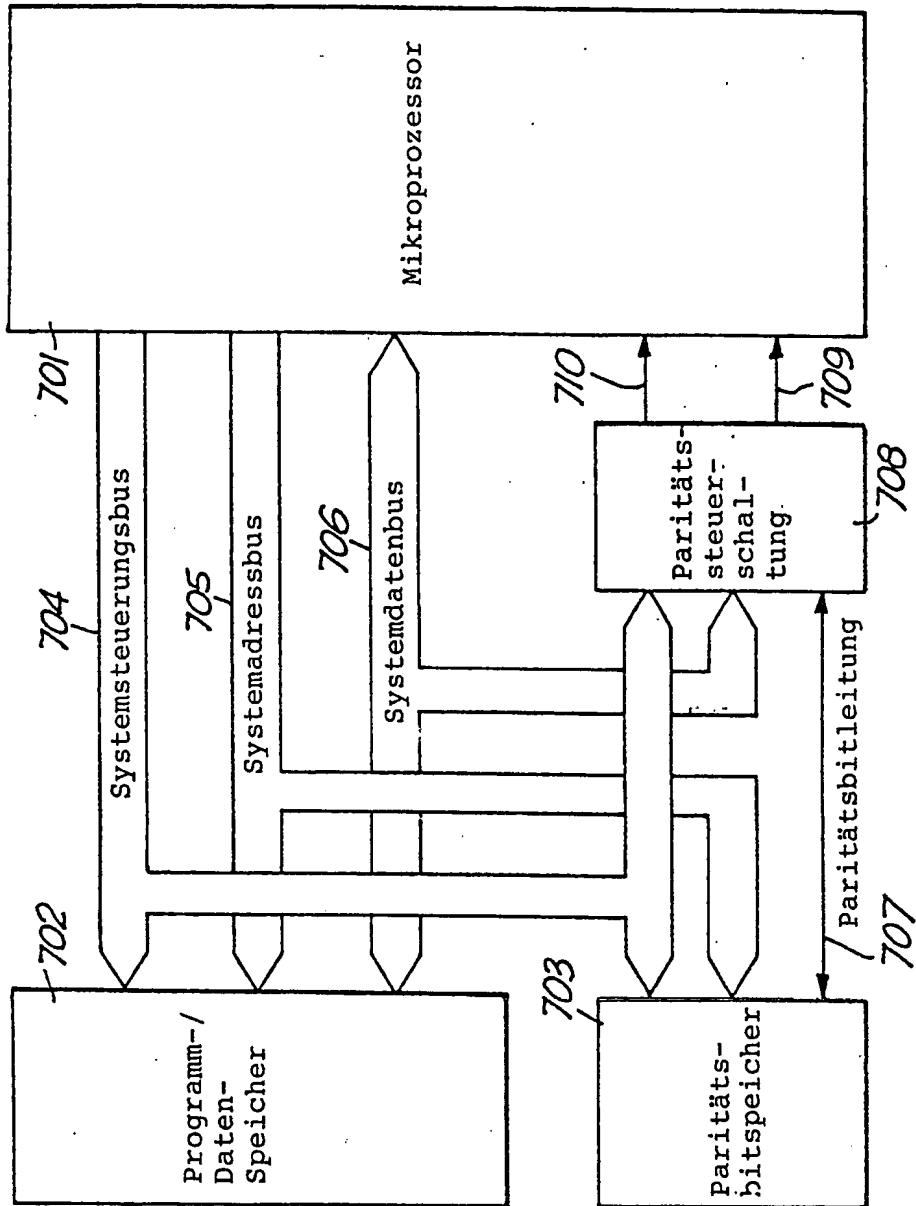
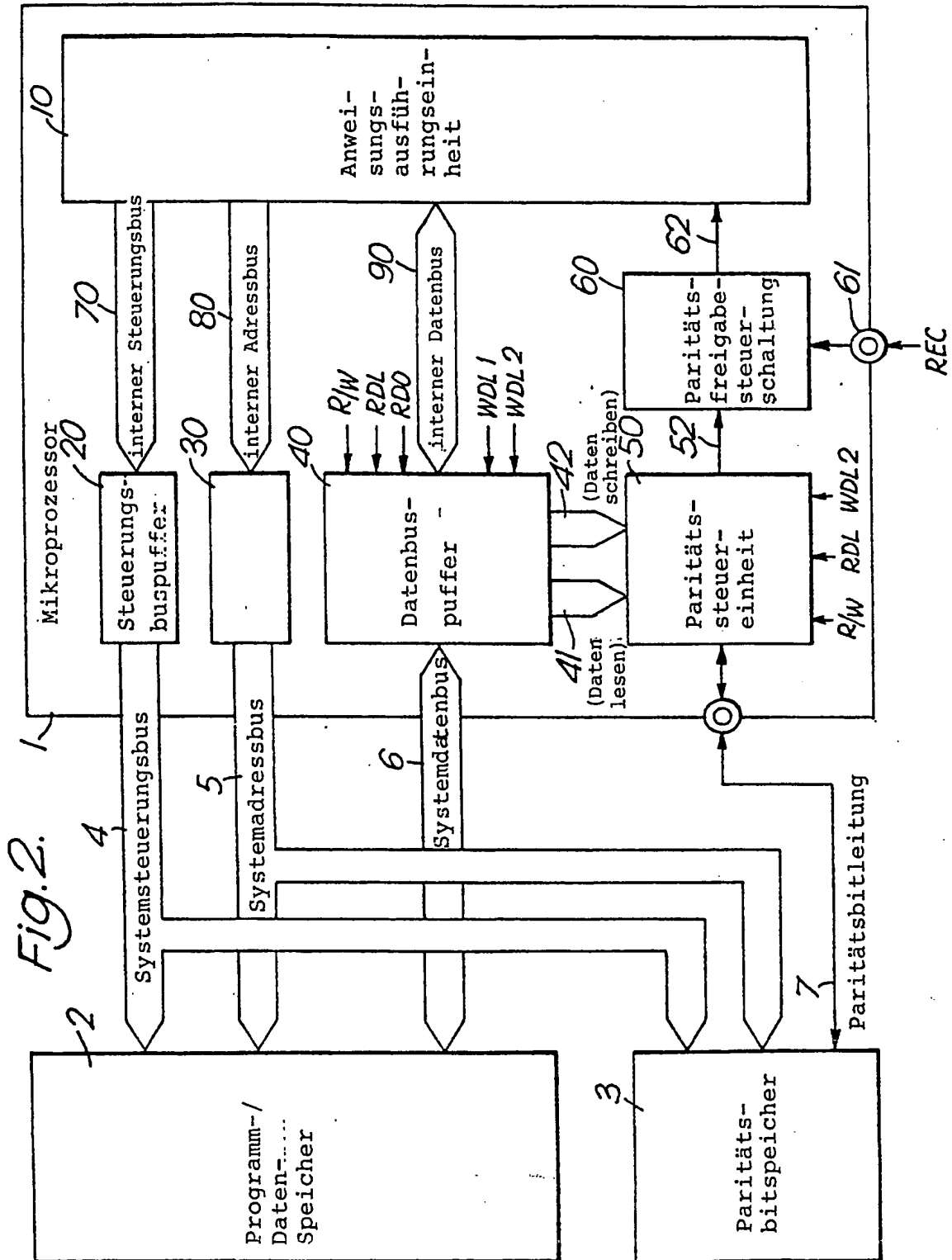


Fig. 1.
Stand der
Technik



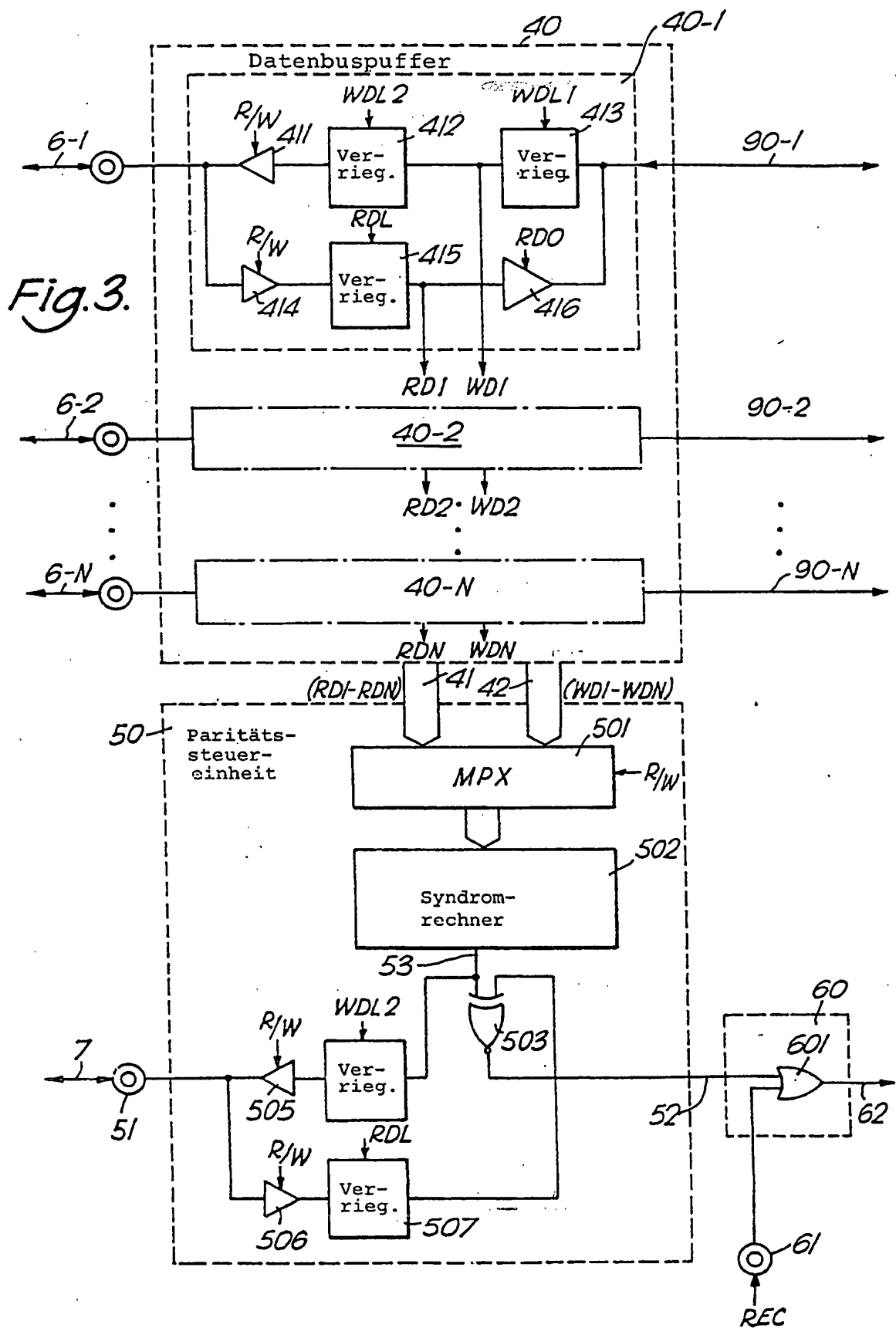


Fig. 4.

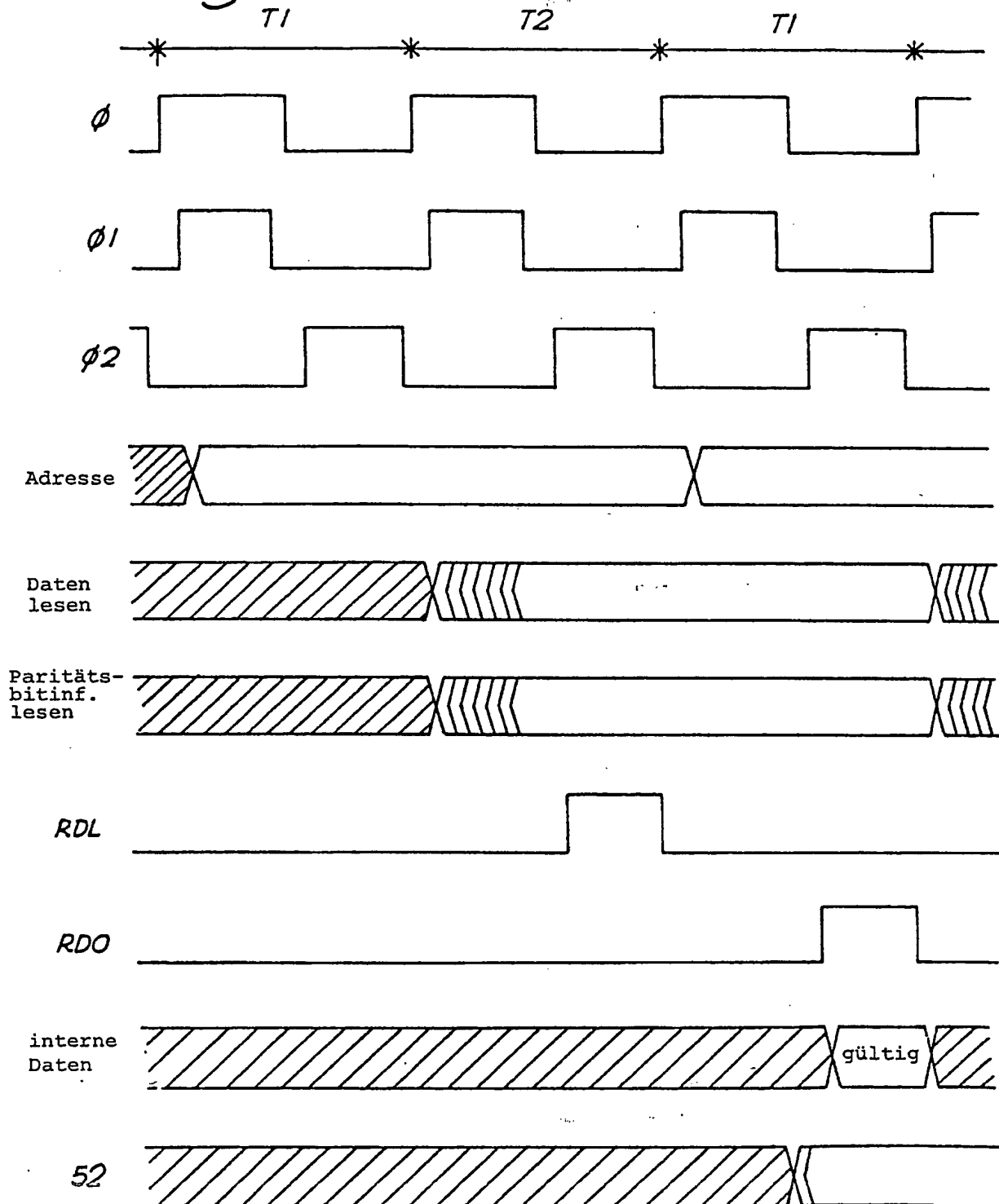


Fig.5.

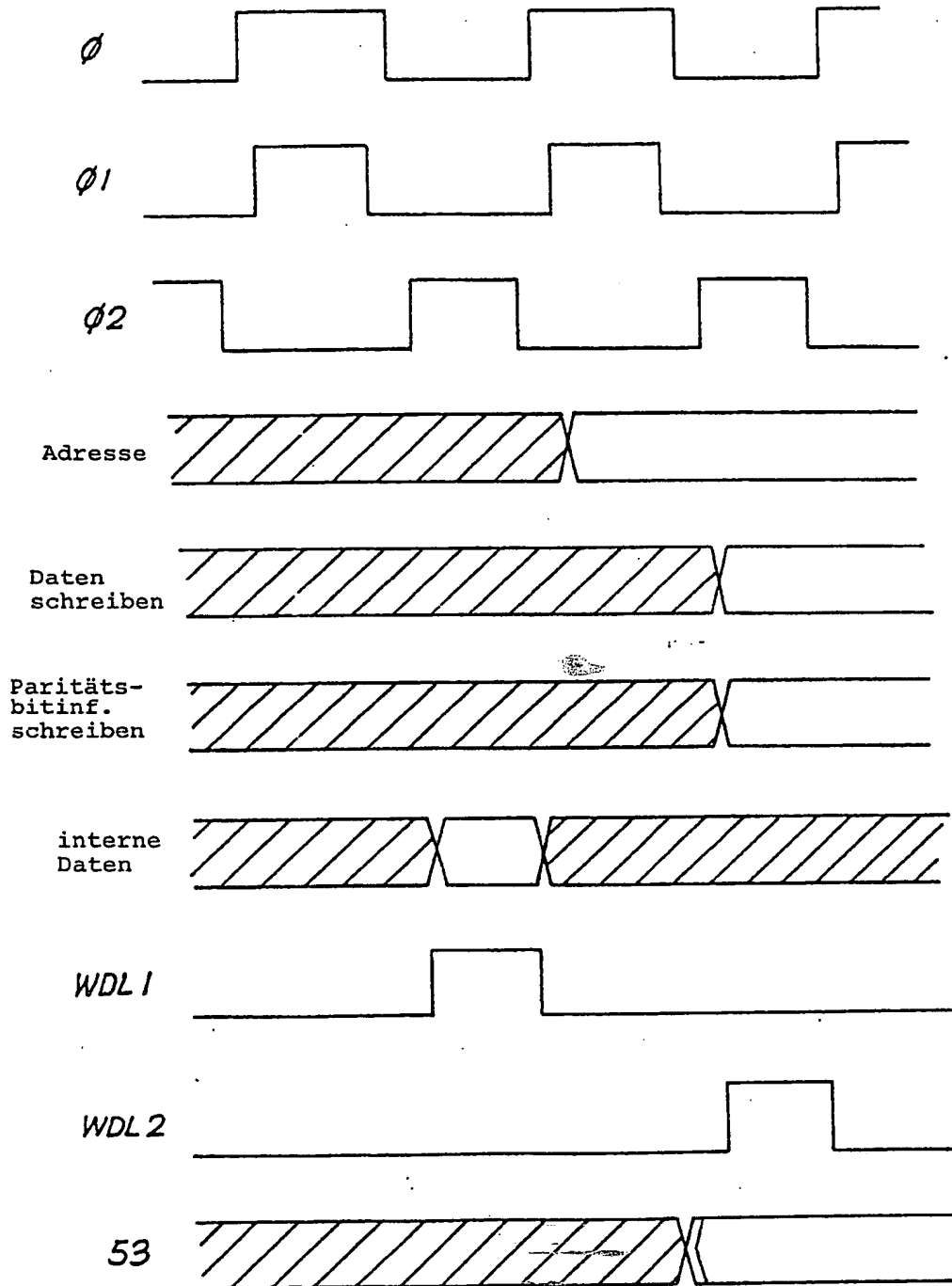


Fig. 6.

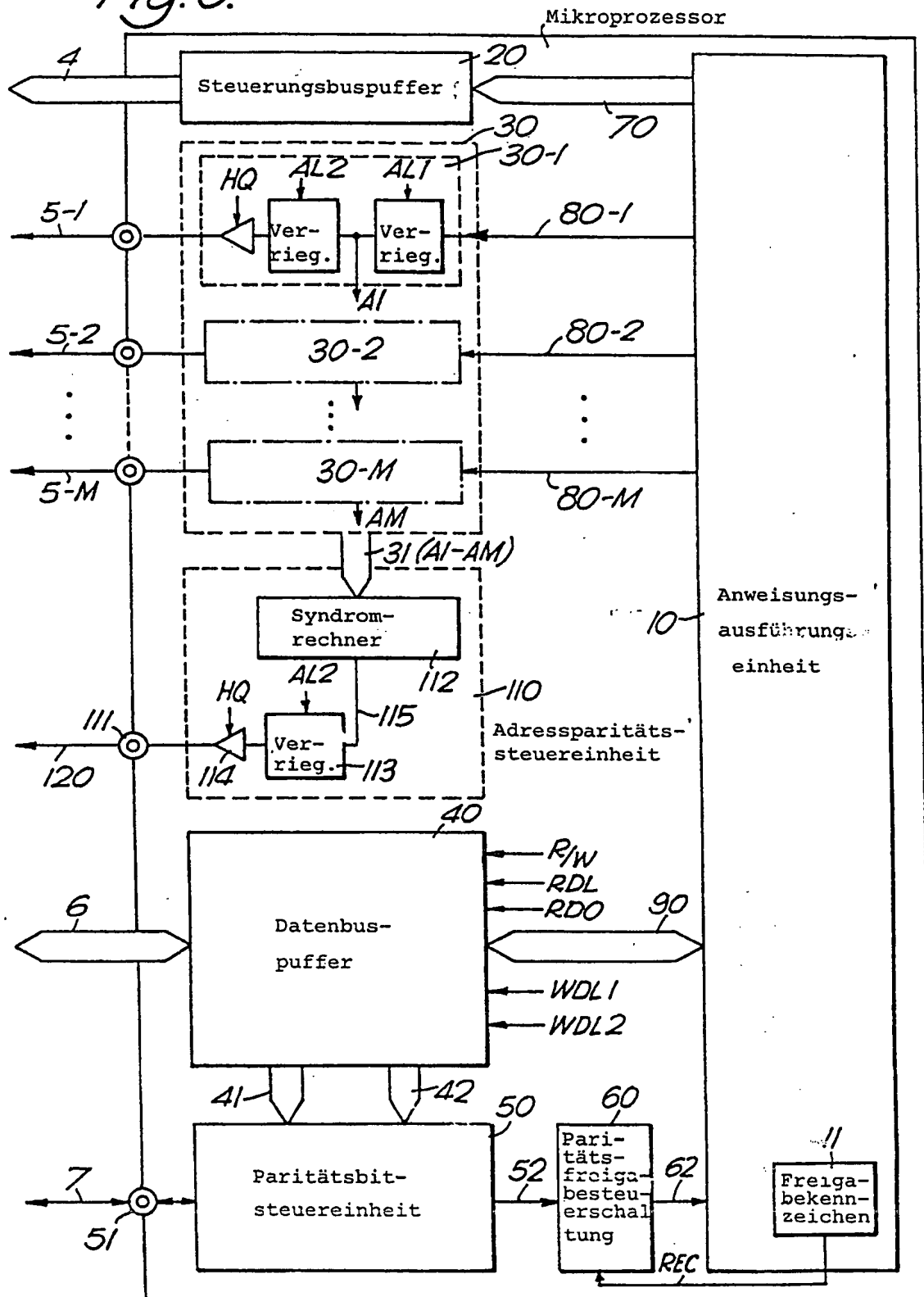


Fig. 7.

